

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-319924

(43)Date of publication of application : 04.12.1998

(51)Int.Cl. G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 10-128386

(71)Applicant : LG ELECTRON INC

(22)Date of filing : 12.05.1998

(72)Inventor : AHAN GIL BUM

(30)Priority

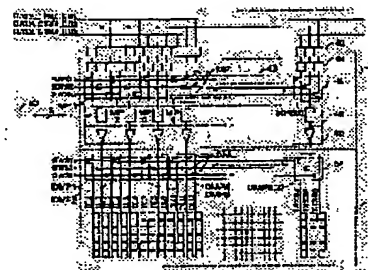
Priority number : 97 9719142 Priority date : 17.05.1997 Priority country : KR

(54) LIQUID CRYSTAL DISPLAY PANEL DRIVING CIRCUIT OF DIGITAL SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce instantaneous power consumption by providing a multiplexer between an output amplifier array and data line of a liquid crystal display panel or the like thereby simplifying the circuit configuration.

SOLUTION: This driving circuit 40 is provided with a first latch array 42, the second latch array cascaded to the first latch array 42, a multiplexer 46 and a D-A converter array 48. The first and the second latch arrays are respectively constituted of 2400 pieces of latches or the like. The multiplexer 46 separates 800 pieces of pixel data from the second latch array 44 at a time to transfer them to the D-A converter array 48 side while dividing them in three times. Consequently, the number of converters of the D-A converter array 48 and amplifiers of the output amplifier array 52 is reduced to the half, the one third the number of data lines DL1-DL2400 or a number less than these numbers. Thus, instantaneous power consumption of circuits is reduced.



LEGAL STATUS

[Date of request for examination] 12.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the withdrawal
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application] 25.02.1999

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The multiplexer array for choosing k digital pixel data from n digital pixel data, The digital-to-analog converter array for changing k digital pixel data from said multiplexer array into k analog pixel signals, While connecting with n data lines and choosing k pieces from said n data lines The liquid crystal display panel drive circuit of a digital method equipped with the demal CHIPUREKU sir rhe for transmitting k analog pixel signals from said digital-to-analog converter array to said k selected data lines.

[Claim 2] The liquid crystal display panel drive circuit of the digital method according to claim 1 characterized by having n data lines connected common to m pixels which were horizontally located in a line, were arranged and were arranged perpendicularly.

[Claim 3] Said demal CHIPUREKU sir rhe is the liquid crystal display panel drive circuit of the digital method according to claim 2 characterized by being carried in a liquid crystal display panel.

[Claim 4] The liquid crystal display panel drive circuit of the digital method according to claim 1 characterized by having a storage means for inputting said n digital pixel data into the aforementioned multiplexer array while storing n inputted digital pixel data temporarily.

[Claim 5] The liquid crystal display panel drive circuit of the digital method according to claim 1 characterized by having the output amplifier array which it had between the aforementioned digital-to-analog converter array and the aforementioned demal CHIPUREKUSA array.

[Claim 6] The liquid crystal display panel drive circuit of the digital method according to claim 1 characterized by the aforementioned multiplexer array and the aforementioned demal CHIPUREKU sir rhe consisting of MOS transistors.

[Claim 7] The liquid crystal display panel drive circuit of the digital method according to claim 1 characterized by the selection time amount of said demal CHIPUREKUSA corresponding to k/n .

[Claim 8] The liquid crystal display panel drive approach of a digital method including the phase which chooses k digital pixel data from n digital pixel data, the phase of changing said k selected digital pixel data into k analog pixel signals, the phase which chooses k pieces from n data lines, and the phase of transmitting said k changed analog pixel signals to said k selected data lines.

[Claim 9] The liquid crystal display panel drive approach of the digital method according to claim 8 characterized by having the phase of storing n digital pixel data temporarily, and using said stored data as said n digital pixel data.

[Claim 10] The liquid crystal display panel drive approach of the digital method according to claim 8 characterized by including the phase which amplifies said k changed analog pixel signals.

[Claim 11] The liquid crystal display panel drive approach of the digital method according to claim 8 characterized by the phase which chooses k pieces from said n data lines choosing k pieces from n data lines between the time amount applicable to k/n .

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the liquid crystal display panel drive circuit of the digital method which drives especially a liquid crystal display panel with a digital video signal about the indicating equipment using a liquid crystal display panel.

[0002]

[Description of the Prior Art] It is the trend by which informational compression is being converted into the method transmitted with an easy digital video signal instead of the existing analog video signal as an approach for providing a viewer with the image of high resolution by the image medium recently. This also had to come to drive the liquid crystal display panel of one class of graphic display device with a digital video signal instead of the existing analog video signal. Therefore, the drive circuit for liquid crystal display panels is newly constituted so that it may suit driving the pixel of the liquid crystal display panel which requires an analog signal etc.

Consequently, in the liquid crystal display panel drive circuit, the liquid crystal display panel drive circuit of the existing analog form and the liquid crystal display panel drive circuit of a digital method coexist.

[0003] Such a liquid crystal display panel drive circuit must secure sufficient signal supply time amount which can impress correctly the electrical potential difference applicable to a video signal to each, such as a pixel on a liquid crystal display panel, in order to solve it — as the liquid crystal display panel drive circuit of an analog form — the pixel on 1 horizontal-scanning Rhine etc. — every [two or more / the fixed number] — the casting plan driven on a target one by one was indicated by the Japan public presentation patent official report No. 181933 [1995 (Heisei 7) to]. According to this Japan public presentation patent official report No. 181933 [1995 to], the pixel to which the video signal which the liquid crystal display panel drive circuit of an analog form delayed the video signal using the delay element, and was delayed results at the tip of right-hand side from the interstitial segment on level Rhine, and the video signal which is not delayed were impressed to the pixel from a left-hand side tip to a central part etc. one by one at the target. Since such a liquid crystal display panel drive circuit of an analog form used the analog video signal as it was as driver voltage of a pixel, even if it drove [two] the pixel on level Rhine etc. at a time on the target one by one, it was able to secure signal supply time amount sufficient according to a pixel.

[0004] Since the signal transformation time amount from which the liquid crystal display panel drive circuit of a digital method changes a digital video signal into an analog video signal unlike it was needed, depending on the liquid crystal display panel drive approach of an analog form like the aforementioned Japan public presentation patent official report No. 181933 [1995 to], signal supply time amount according to pixel was not fully securable. Thereby, as shown in drawing 1, the liquid crystal display panel drive circuit of a digital method was constituted so that the pixel on 1 level Rhine etc. might be driven to coincidence.

[0005] If drawing 1 is referred to, a liquid crystal display panel (10) will be equipped with 2400 data lines (DL1 thru/or DL2400) connected to 600 pixels arranged perpendicularly, respectively. And the drive circuit (20) for driving 600x2400 pixels on a liquid crystal display panel (10) etc. consists of a 1st latch array (22) connected to the 1st thru/or the 3rd data bus (Data Bus; DB1 thru/or DB3), and the 2nd latch array (24), digital-to-analog converter array (26) and output amplifier array (28) which were cascaded by this 1st latch array (22). The 1st and 2nd latch array (22 24) consists of 2400 latches etc., respectively. 2400 latches included in the 1st latch array (22) — a 800-piece ** — it ***** and distributed connection is made in the 1st thru/or the 3rd data bus (DB1 thru/or DB3). Combining, 2400 latches included in the 1st latch array (22) drive [three] at a time on a target one by one, and input the red (henceforth "R"), green (henceforth "G"), and blue (henceforth "B") pixel data for 1 level Rhine from the 1st thru/or the 3rd data bus (DB1 thru/or DB3). And 2400 latches included in the 2nd latch array (24) input the pixel data from 2400 latches of the 1st latch array (22) etc. into coincidence, respectively, and transmit to a D-A-converter array (26) side. If it does so, a D-A-converter array (26) will change all the 2400 pixel data from the 2nd latch array (24) into a pixel signal, and will supply the 2400 changed pixel signal to an output amplifier array (28).

[0006] Therefore, a D-A-converter array (26) consists of 2400 D-A converters which input in common the conversion source signal of the fixed number (for example, five pieces) from the gamma correction section which is not illustrated etc. This 2400 D-A converter etc. comes to generate a pixel signal by adding a part or all, such as a conversion source signal, according to the logical value of the pixel data from the applicable latch of the 2nd

latch array (24), respectively. Finally, an output amplifier array (28) amplifies 2400 pixel signals from a D-A-converter array (26) etc. with a fixed amplification factor, and carries out distributed supply of the 2400 amplified pixel signal at 2400 data lines (DL1 thru/or DL2400) of a liquid crystal display panel (10). Therefore, an output amplifier array (28) equips 2400 D-A converters of a D-A-converter array (26) etc. with 2400 output amplifiers by which distributed connection was made.

[0007] Like the above, the liquid crystal display panel drive circuit of the conventional digital method drove the pixel for 1 level Rhine on a liquid crystal display panel etc. to coincidence, and was fully able to secure the signal supply time amount according to pixel. However, in the liquid crystal display panel drive circuit of the conventional digital method, since a D-A converter, etc. an output amplifier, etc. applicable to the number of pixels contained in level Rhine of a liquid crystal display panel must be used, to say nothing of the circuitry becoming complicated, the ** becomes large. Since it had to combine and many D-A converters, etc. output amplifiers, etc. had to drive to coincidence in the liquid crystal display panel drive circuit of the conventional digital method, instantaneous power consumption becomes very large.

[0008]

[Problem(s) to be Solved by the Invention] Therefore, the purpose of this invention can simplify circuitry and is to offer the liquid crystal display panel drive circuit of the digital method which can decrease instantaneous power consumption.

[0009] Other purposes of this invention are to offer the liquid crystal display panel drive circuit of the digital method which can decrease the number of drawer Rhine of a liquid crystal display panel.

[0010]

[Means for Solving the Problem] In order to attain the aforementioned purpose, the liquid crystal display panel drive circuit of the digital method by this invention The multiplexer array for choosing k digital pixel data from n digital pixel data, The digital-to-analog converter array for changing k digital pixel data from said multiplexer array into k analog pixel signals, It has a demal CHIPUREKUSA array for transmitting k analog pixel signals from the aforementioned digital-to-analog converter array to said k selected data lines at the same time it connects with n data lines and chooses k pieces from said n data lines.

[0011] The drive approach of the liquid crystal display panel of the digital method by this invention The phase which chooses k digital pixel data from n digital pixel data, The phase of changing said k digital pixel data from a multiplexer array into k analog pixel signals, The phase which chooses k pieces from n data lines, and the phase of transmitting said k analog pixel signals from a digital-to-analog converter to said k selected data lines are included.

[0012] In the liquid crystal display panel drive circuit of the digital method by this invention, as a multiplexer array is carried in a liquid crystal display panel, it minimum-izes the number of drawer Rhine of a liquid crystal display panel. The liquid crystal display panel drive circuit of the digital method by this invention. Between the latch array which keeps the pixel data for one line temporarily, and the D-A-converter array which changes pixel data into a pixel signal, a demal CHIPUREKUSA array And by installing a multiplexer between an output amplifier array, the data line of a liquid crystal display panel, etc., the number of a D-A converter and an output amplifier can be decreased to the one half of the number of data lines, 1/3, or the following of it. By this, the liquid crystal display panel drive circuit of the digital method by this invention can also decrease instantaneous power consumption as well as attaining the simplification of circuitry. It combines, and the liquid crystal display panel drive circuit of the digital method by this invention can make a multiplexer able to carry in a liquid crystal display panel, and can decrease the quantity of drawer Rhine of a liquid crystal display panel.

[0013]

[Embodiment of the Invention] Other purposes, advantages, etc. of this invention become clear through the detailed explanation to the gestalt of the following desirable operation which referred to the accompanying drawing in addition to the aforementioned purpose.

[0014] Reference of drawing 2 illustrates the liquid crystal display including the liquid crystal display panel drive circuit of the digital method by the gestalt of operation of this invention. A liquid crystal display is equipped with the liquid crystal display panel drive circuit (40) connected to the liquid crystal display panel (30) in drawing 2. A liquid crystal display panel (30) is equipped with 2400 data lines (DL1 thru/or DL2400) connected to 600 pixels arranged perpendicularly, respectively in common.

[0015] On the other hand, the drive circuit (40) for driving 600x2400 pixels on a liquid crystal display panel (30) etc. is equipped with the 1st latch array (42) connected to the 1st thru/or the 3rd data bus (DB1 thru/or DB3), and the 2nd latch array (44), multiplexer array (46) and D-A-converter array (48) which were cascaded by this 1st

latch array (42). The 1st and 2nd latch array (42 44) consists of 2400 latches etc., respectively. 2400 latches included in the 1st latch array (42) are classified [800] at a time, and distributed connection is made in the 1st thru/or the 3rd data bus (DB1 thru/or DB3). Combining, 2400 latches included in the 1st latch array (42) drive [three] at a time on a target one by one, and input R for 1 level Rhine, G, and B pixel data from the 1st thru/or the 3rd data bus (DB1 thru/or DB3). And 2400 latches included in the 2nd latch array (44) input the pixel data from 2400 latches of the 1st latch array (42) etc. into coincidence, respectively, and transmit to a multiplexer array (46) side.

[0016] It is transmitted to a D-A-converter array (48) side, a multiplexer array (46) classifying 2400 pixel data [800] from the 2nd latch array (44) at a time, and covering them over 3 times. Therefore, a multiplexer array (46) consists of 800 multiplexers which input the 1st the 1st from the 3rd control line (SL1 thru/or SL3) thru/or the 3rd change-over control signal (SWS1 thru/or SWS3), respectively (MP1 thru/or MP800). Each of this 800 multiplexer transmits three pixel data from three latches of the 2nd latch array (44) etc. to a target one by one at a D-A-converter array (48) side with the aforementioned 1st thru/or the aforementioned 3rd change-over control signal (SWS1 thru/or SWS3) in drawing 3 which comes to have the logical value of "1" on a target one by one between 1 level periods like. Therefore, each (MP1 thru/or MP800), such as 800 multiplexers, consists of 3 sets of MOS transistors (MF) which receive the 1st thru/or the 3rd change-over control signal (SWS1 thru/or SWS3) in a gate side, respectively. In here, although the number of 3 sets of MOS transistors (MF) must be 15 when pixel data are 5 bits, they are expressed by three pieces for convenience. The source of 3 sets of MOS transistors (MF) contained in one multiplexer (MP) etc. is connected to three latches included in the 2nd latch array (44), respectively, and the drain of 3 sets of these MOS transistors (MF) etc. is connected according to the bit of pixel data in common. Combining, the turn-on of 3 sets of MOS transistors (MF) contained in one multiplexer (MP) is mutually carried out to a target one by one during 1 level period by the 1st thru/or the 3rd change-over control signal (SWS1 thru/or SWS3), and they transmit the pixel data from the applicable latch of the 2nd latch array (44) to a D-A-converter array (46) side. If it does so, a D-A-converter array (48) will change all the 800 pixel data from a multiplexer array (46) into a pixel signal. Therefore, a D-A-converter array (48) consists of 800 D-A converters which receive the conversion source signal of the fixed number (for example, five pieces) from the gamma correction section (50) in common at least. Each, such as this 800 D-A converter, changes pixel data into an analog pixel signal to the logical value of the pixel data from an applicable multiplexer (MP) by adding alternatively all or a part of conversion source signal of the fixed number from the gamma correction section (50). As a result, each, such as 800 D-A converters, comes to change three pixel data into an analog pixel signal at 1 horizontal-scanning period.

[0017] Moreover, a drive circuit (40) is equipped with the output amplifier array (52) and demal CHIPUREKUSA array (54) by which the series connection was carried out between the D-A-converter array (48), the data line of a liquid crystal display panel (30) (DL1 thru/or DL2400), etc. An output amplifier array (52) amplifies 800 pixel signals from a D-A-converter array (48) etc. with a fixed amplification factor, and outputs the 800 amplified pixel signal to a demal CHIPUREKUSA array (54) side. Therefore, an output amplifier array (52) is constituted from 800 output amplifiers by which distributed connection was made by 800 D-A converters of a D-A-converter array (48) etc. Finally, a demal CHIPUREKUSA array (54) transmits to 2400 data lines (DL1 thru/or DL2400) one by one at a target, pixel applying [800 / which was amplified] it to 800 data line every 3 times from an output amplifier array (52). Therefore, a demal CHIPUREKUSA array (54) consists of 800 demal CHIPUREKUSA which receives the 1st the 1st from the 3rd control line (SL1 thru/or SL3) thru/or the 3rd change-over control signal (SWS1 thru/or SWS3), respectively (DMP1 thru/or DMP800). Each of this 800 demal CHIPUREKUSA (DMP1 thru/or DMP800) transmits the pixel signal from an output amplifier array (52) to three data lines (DL) one by one at a target with the aforementioned 1st thru/or the aforementioned 3rd change-over control signal (SWS1 thru/or SWS3) which comes to have the logical value of "1" on a target one by one between 1 level periods like drawing 3. Therefore, each (DMP1 thru/or DMP800), such as 800 demal CHIPUREKUSA, consists of three MOS transistors (MS) which receive the 1st thru/or the 3rd change-over control signal (SWS1 thru/or SWS3) in a gate side, respectively. The source of three MOS transistors (MS) contained in one demal CHIPUREKUSA (DMP) etc. is connected to the output terminal of one output amplifier contained in the output amplifier array (52) in common, and distributed connection of this drain etc. is made at three data lines (DL). Combining, the turn-on of the three MOS transistors (MS) contained in one demal CHIPUREKUSA (DMP) is mutually carried out to a target one by one during 1 level period by the 1st thru/or the 3rd change-over control signal (SWS1 thru/or SWS3), and they carry out distributed supply of the pixel signal from the applicable output amplifier contained in the output amplifier array (52) etc. at three data lines (DL).

[0018]

[Effect of the Invention] Like ****, the liquid crystal display panel drive circuit of the digital method by this invention Between the latch array which keeps the pixel data for one line temporarily, and the D-A-converter array which changes pixel data into a pixel signal, a multiplexer array And by installing demal CHIPUREKUSA between an output amplifier array, the data line of a liquid crystal display panel, etc., the number of a D-A converter and an output amplifier can be decreased less than [the one half of the number of data lines, 1/3, or it]. By it, the liquid crystal display panel drive circuit of the digital method by this invention can also decrease instantaneous power consumption as well as attaining the simplification of circuitry. It combines, and the liquid crystal display panel drive circuit of the digital method by this invention can make a multiplexer able to carry in a liquid crystal display panel, and can decrease the quantity of drawer Rhine of a liquid crystal display panel.

[0019] It lets the contents explained above pass, and if it is this contractor, it turns out that various modification and corrections are possible within limits which do not deviate from the technical thought of this invention. Therefore, the technical range of this invention is not limited to the contents indicated by detailed explanation of a specification, and must be appointed by the claim.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a drawing illustrating the liquid crystal display with which the liquid crystal display panel drive circuit for the conventional digital video signals was applied.

[Drawing 2] It is a drawing illustrating the liquid crystal display with which the liquid crystal display panel drive circuit of the digital method by the gestalt of operation of this invention was applied.

[Drawing 3] It is the timing chart of each part of the drive circuit shown in drawing 2 of operation.

[Description of Notations]

10 30: Liquid crystal display panel

20 40: Liquid crystal display panel drive circuit

22 42: The 1st latch array

24 44: The 2nd latch array

26 48: D-A-converter array

28 52: Output amplifier array

46: Multiplexer array

50: Gamma correction section

54: Demal CHIPUREKUSA array

[Translation done.]

(19) 日本國特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号：

特開平10-319924

(43)公開日 平成10年(1998)12月4日

(51) Int.Cl.⁶ 識別記号

G O 9 G 3/36

G O 2 F · 1/133

G O 9 G 3/20

識別記号

505

6 2 3

FI

G O 9 G 3/36

G O 2 F 1/133

G O 9 G 3/20

505

6 2 3 A

6 2 3 V

審査請求 有 請求項の数11 OL (全 6 頁)

(21)出願番号 特願平10-128386

(22)出願日 平成10年(1998)5月12日

(31)優先権主張番号 1997-19142

(32)優先日 1997年5月17日

(33) 優先権主張国 韓国 (KR)

(71)出願人 590001669

エルジー電子株式会社

大韓民国、ソウル特別市永登浦区汝矣島洞
20

(72)発明者 ギル・パム, アハン

大韓民国、キョンキード、アンヤンーシ、

ホガエードン 533、エルジー アール

アンド ディー センター

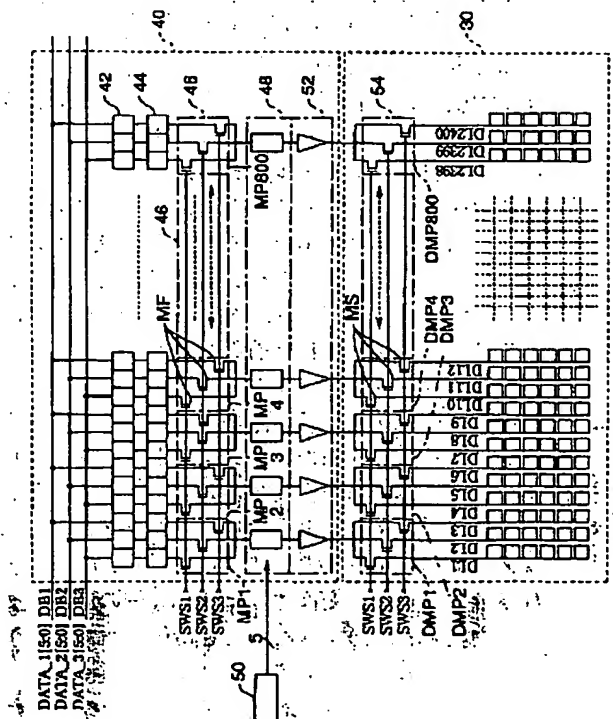
(74)代理人 弁理士 稲葉 良幸 (外2名)

(54) 【発明の名称】 デジタル方式の液晶表示パネル駆動回路

(57) 【要約】

【課題】 本発明は、デジタル映像信号により液晶表示パネルを駆動し、画像が液晶表示パネルに表示されるようにするデジタル方式の液晶表示パネル駆動回路に関する。

【解決手段】 このデジタル方式の液晶表示パネル駆動回路は、 n 個のデジタル画素データから k 個のデジタル画素データを選択するためのマルチプレクサアレーと、前記のマルチプレクサアレーからの k 個のデジタル画素データを k 個のアナログ画素信号に変換するためのデジタル-アナログ変換器アレーと、 n 個のデータライン等に接続され、前記 n 個のデータラインの中から k 個を選択すると共に、前記のデジタル-アナログ変換器アレーからの k 個のアナログ画素信号を、前記の選択された k 個のデータライン等に転送するためのディマルチプレクサアレーとを備える。前記の構成により、デジタル方式の液晶表示パネル駆動回路は回路構成の簡素化は勿論、瞬間の電力消費量を減少させることができる利点を提供



(2)

【特許請求の範囲】

1
【請求項1】 n個のデジタル画素データからk個のデジタル画素データを選択するためのマルチプレクサアレーと、前記マルチプレクサアレーからのk個のデジタル画素データを、k個のアナログ画素信号に変換するためのデジタル-アナログ変換器アレーと、n個のデータラインに接続され、前記n個のデータラインの中からk個を選択するとともに、前記デジタル-アナログ変換器アレーからのk個のアナログ画素信号を、前記選択されたk個のデータラインに転送するためのディマルチプレクサアレーとを備えるデジタル方式の液晶表示パネル駆動回路。

【請求項2】 水平方向に並んで配列され、垂直方向に配列されたm個の画素に共通に接続されたn個のデータラインを備えることを特徴とする請求項1記載のデジタル方式の液晶表示パネル駆動回路。

【請求項3】 前記ディマルチプレクサアレーは、液晶表示パネルに搭載されたことを特徴とする請求項2記載のデジタル方式の液晶表示パネル駆動回路。

【請求項4】 入力されたn個のデジタル画素データを一時的に貯蔵するとともに、前記n個のデジタル画素データを、前記のマルチプレクサアレーに入力するための記憶手段を備えることを特徴とする請求項1記載のデジタル方式の液晶表示パネル駆動回路。

【請求項5】 前記のデジタル-アナログ変換器アレーと、前記のディマルチプレクサアレーとの間に備えられた出力増幅器アレーを備えることを特徴とする請求項1記載のデジタル方式の液晶表示パネル駆動回路。

【請求項6】 前記のマルチプレクサアレーと前記のディマルチプレクサアレーがMOSトランジスタから構成されることを特徴とする請求項1記載のデジタル方式の液晶表示パネル駆動回路。

【請求項7】 前記ディマルチプレクサの選択時間が k/n に該当することを特徴とする請求項1記載のデジタル方式の液晶表示パネル駆動回路。

【請求項8】 n個のデジタル画素データからk個のデジタル画素データを選択する段階と、選択された前記k個のデジタル画素データをk個のアナログ画素信号に変換する段階と、n個のデータラインの中からk個を選択する段階と、変換された前記k個のアナログ画素信号を、前記選択されたk個のデータラインに転送する段階とを含むデジタル方式の液晶表示パネル駆動方法。

【請求項9】 n個のデジタル画素データを一時的に貯蔵する段階とを備え、前記貯蔵されたデータを前記n個のデジタル画素データとすることを特徴とする請求項8記載のデジタル方式の液晶表示パネル駆動方法。

【請求項10】 変換された前記k個のアナログ画素信号を増幅する段階を含むことを特徴とする請求項8記載のデジタル方式の液晶表示パネル駆動方法。

【請求項11】 前記n個のデータラインの中からk個

2
を選択する段階が、 k/n に該当する時間の間、n個のデータラインの中からk個を選択することを特徴とする請求項8記載のデジタル方式の液晶表示パネル駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示パネルを利用する表示装置に関するもので、特に液晶表示パネルをデジタル映像信号により駆動するデジタル方式の液晶表示パネル駆動回路に関する。

【0002】

【従来の技術】最近、映像媒体で視聴者に高解像度の画像を提供するための方法として、既存のアナログ映像信号の代わりに、情報の圧縮が容易なデジタル映像信号で転送する方式に転換されつつある趨勢である。それにより、映像表示装置の一種の液晶表示パネルも、既存のアナログ映像信号の代わりにデジタル映像信号により駆動されなければならないようになった。そのために、液晶表示パネル用の駆動回路は、アナログ信号を要求する液晶表示パネルの画素等を駆動することに適合するように新たに構成されている。その結果、液晶表示パネル駆動回路には、既存のアナログ方式の液晶表示パネル駆動回路とデジタル方式の液晶表示パネル駆動回路とが併存している。

【0003】このような液晶表示パネル駆動回路は、液晶表示パネル上の画素等のそれぞれに、映像信号に該当する電圧を正確に印加することができる十分な信号供給時間を確保しなければならない。それを解決するために、アナログ方式の液晶表示パネル駆動回路としては、1水平走査ライン上の画素等を2個以上の一定個数づつ順次的に駆動する方案が、日本国公開特許公報第1995(平成7年)-181933号に開示された。この日本国公開特許公報第1995-181933号によると、アナログ方式の液晶表示パネル駆動回路は、遅延素子を利用して映像信号を遅延させ、遅延された映像信号は、水平ライン上の中間部分から右側先端に至る画素等に、そして遅延されない映像信号は、左側先端から中央部分に至る画素等に順次的に印加した。このようなアナログ方式の液晶表示パネル駆動回路は、アナログ映像信号を画素の駆動電圧としてそのまま利用しているので、水平ライン上の画素等を2個づつ順次的に駆動しても、画素別に十分な信号供給時間を確保することができた。

【0004】それとは異なって、デジタル方式の液晶表示パネル駆動回路は、デジタル映像信号をアナログ映像信号に変換する信号変換時間を必要とするので、前記の日本国公開特許公報第1995-181933号のようなアナログ方式の液晶表示パネル駆動方法によっては、画素別の信号供給時間を十分に確保することができなかった。それにより、デジタル方式の液晶表示パネル駆動回路は、1水平ライン上の画素等を同時に駆動するよう

(3)

3

に、図1に示されるように構成された。

【0005】図1を参照すると、液晶表示パネル(10)は、それぞれ垂直方向に配列された600個の画素等に接続された2400個のデータライン(DL1乃至DL2400)を備える。そして、液晶表示パネル(10)上の600×2400個の画素等を駆動するための駆動回路(20)は、第1乃至第3データバス(Data Bus; DB1乃至DB3)に接続された第1ラッチアレー(22)と、この第1ラッチアレー(22)に縦属接続された第2ラッチアレー(24)、デジタル-アナログ変換器アレー(26)及び出力増幅器アレー(28)から構成される。第1及び第2ラッチアレー(22, 24)は、それぞれ2400個のラッチ等から構成される。第1ラッチアレー(22)に含まれた2400個のラッチ等は、800個づつ区分され、第1乃至第3データバス(DB1乃至DB3)に分散接続される。併せて、第1ラッチアレー(22)に含まれた2400個のラッチ等は、3個づつ順次的に駆動され、第1乃至第3データバス(DB1乃至DB3)から1水平ライン分の赤色(以下“R”という)、緑色(以下“G”という)及び青色(以下“B”という)画素データを入力する。そして、第2ラッチアレー(24)に含まれた2400個のラッチ等は、それぞれ第1ラッチアレー(22)の2400個のラッチ等からの画素データを同時に入力して、D-A変換器アレー(26)側に転送する。そうすると、D-A変換器アレー(26)は、第2ラッチアレー(24)からの2400個の画素データの全てを画素信号に変換し、その変換された2400個の画素信号を出力増幅器アレー(28)に供給する。

【0006】そのために、D-A変換器アレー(26)は、図示されていないガンマ補正部からの一定個数(例えば5個)の変換ソース信号等を共通的に入力する2400個のD-A変換器等から構成される。この2400個のD-A変換器等は、それぞれ第2ラッチアレー(24)の該当ラッチからの画素データの論理値に従って、変換ソース信号等の一部または全部を加算することによって画素信号を発生するようになる。最後に、出力増幅器アレー(28)は、D-A変換器アレー(26)からの2400個の画素信号等を一定の増幅率で増幅し、その増幅された2400個の画素信号等を液晶表示パネル(10)の2400個のデータライン(DL1乃至DL2400)に分散供給する。そのために、出力増幅器アレー(28)も、D-A変換器アレー(26)の2400個のD-A変換器等に分散接続された2400個の出力増幅器等を備える。

【0007】以上のごとく、従来のデジタル方式の液晶表示パネル駆動回路は、液晶表示パネル上の1水平ライン分の画素等を同時に駆動し、画素別の信号供給時間を十分に確保することができた。しかし、従来のデジタル方式の液晶表示パネル駆動回路では、液晶表示パネルの

4

水平ラインに含まれた画素数に該当するD-A変換器等と出力増幅器等が使用されなければならないので、その回路構成が複雑となることは言うまでもなく、その嵩も大きくなる。併せて、従来のデジタル方式の液晶表示パネル駆動回路では、多数のD-A変換器等と出力増幅器等とが同時に駆動されなければならなかったので、瞬間の電力消費が非常に大きくなる。

【0008】

【発明が解決しようとする課題】従って、本発明の目的は、回路構成を簡素化することができ、瞬間の電力消費を減少させることができるデジタル方式の液晶表示パネル駆動回路を提供することにある。

【0009】本発明の他の目的は、液晶表示パネルの引出ラインの数を減少させることができる、デジタル方式の液晶表示パネル駆動回路を提供することにある。

【0010】

【課題を解決するための手段】前記の目的を達成するために、本発明によるデジタル方式の液晶表示パネル駆動回路は、n個のデジタル画素データからk個のデジタル画素データを選択するためのマルチプレクサアレーと、前記マルチプレクサアレーからのk個のデジタル画素データをk個のアナログ画素信号に変換するためのデジタル-アナログ変換器アレーと、n個のデータラインに接続され、前記n個のデータラインの中からk個を選択すると同時に、前記のデジタル-アナログ変換器アレーからのk個のアナログ画素信号を、前記選択されたk個のデータラインに転送するためのディマルチプレクサアレーとを備える。

【0011】本発明によるデジタル方式の液晶表示パネルの駆動方法は、n個のデジタル画素データからk個のデジタル画素データを選択する段階と、マルチプレクサアレーからの前記k個のデジタル画素データをk個のアナログ画素信号に変換する段階と、n個のデータラインの中からk個を選択する段階と、デジタル-アナログ変換器からの前記k個のアナログ画素信号を、前記選択されたk個のデータラインに転送する段階とを含む。

【0012】本発明によるデジタル方式の液晶表示パネル駆動回路では、マルチプレクサアレーが液晶表示パネルに搭載されるようにして、液晶表示パネルの引出ライン数を最少化する。本発明によるデジタル方式の液晶表示パネル駆動回路は、1ライン分の画素データを一時的に保管するラッチアレーと、画素データを画素信号に変換するD-A変換器アレーとの間にディマルチプレクサアレーを、そして出力増幅器アレーと液晶表示パネルのデータライン等との間にマルチプレクサを設置することによって、D-A変換器と出力増幅器の個数をデータライン数の半分、3分の1またはその以下に減少させることができる。これによって、本発明によるデジタル方式の液晶表示パネル駆動回路は、回路構成の簡素化を達成することは勿論、瞬間の電力消費量を減少させることも

5

できる。併せて、本発明によるデジタル方式の液晶表示パネル駆動回路は、マルチプレクサを液晶表示パネルに搭載させ、液晶表示パネルの引出ラインの数量を減少させることができる。

【0013】

【発明の実施の形態】前記の目的以外に本発明の他の目的及び利点等は、添付図面を参照した下記の好ましい実施の形態に対する詳細な説明を通して明らかになる。

【0014】図2を参照すると、本発明の実施の形態によるデジタル方式の液晶表示パネル駆動回路を含む液晶表示装置が図示されている。図2において、液晶表示装置は、液晶表示パネル(30)に接続された液晶表示パネル駆動回路(40)を備える。液晶表示パネル(30)は、それぞれ垂直方向に配列された600個の画素等に共通的に接続された2400個のデータライン(DL1乃至DL2400)を備える。

【0015】一方、液晶表示パネル(30)上の600×2400個の画素等を駆動するための駆動回路(40)は、第1乃至第3データバス(DB1乃至DB3)に接続された第1ラッチアレー(42)と、この第1ラッチアレー(42)に縦属接続された第2ラッチアレー(44)、マルチプレクサアレー(46)及びD-A変換器アレー(48)とを備える。第1及び第2ラッチアレー(42、44)は、それぞれ2400個のラッチ等から構成される。第1ラッチアレー(42)に含まれた2400個のラッチ等は800個づつ区分され、第1乃至第3データバス(DB1乃至DB3)に分散接続される。併せて、第1ラッチアレー(42)に含まれた2400個のラッチ等は3個づつ順次的に駆動され、第1乃至第3データバス(DB1乃至DB3)から1水平ライン分のR、G及びB画素データを入力する。そして、第2ラッチアレー(44)に含まれた2400個のラッチ等は、それぞれ第1ラッチアレー(42)の2400個のラッチ等からの画素データを同時に入力してマルチプレクサアレー(46)側に転送する。

【0016】マルチプレクサアレー(46)は、第2ラッチアレー(44)からの2400個の画素データを800個づつ区分して、3回にかけてD-A変換器アレー(48)側に転送する。そのために、マルチプレクサアレー(46)は、それぞれ第1乃至第3制御ライン(SL1乃至SL3)からの第1乃至第3切換制御信号(SWS1乃至SWS3)を入力する800個のマルチプレクサ等(MP1乃至MP800)から構成される。この800個のマルチプレグサのそれぞれは、図3でのように1水平周期の間順次的に“1”の論理値を有するようになる前記の第1乃至第3切換制御信号(SWS1乃至SWS3)により、第2ラッチアレー(44)の3個のラッチ等からの3個の画素データを順次的にD-A変換器アレー(48)側に転送する。そのために、800個のマルチプレクサ等(MP1乃至MP800)のそれぞ

6

れは、第1乃至第3切換制御信号(SWS1乃至SWS3)をゲート側にそれぞれ受ける3組のMOSトランジスタ(MF)から構成される。ここにおいて、3組のMOSトランジスタ(MF)は、画素データが5ビットの場合15個でなければならないが、便宜上3個に表現されている。1つのマルチプレクサ(MP)に含まれた3組のMOSトランジスタ(MF)のソース等は、第2ラッチアレー(44)に含まれた3個のラッチにそれぞれ接続され、そしてこの3組のMOSトランジスタ(MF)のドレーン等は、画素データのビット別に共通的に接続される。併せて、1つのマルチプレクサ(MP)に含まれた3組のMOSトランジスタ(MF)は、第1乃至第3切換制御信号(SWS1乃至SWS3)により1水平期間の間互いに順次的にターンオンされ、第2ラッチアレー(44)の該当ラッチからの画素データをD-A変換器アレー(46)側に転送する。そうすると、D-A変換器アレー(48)は、マルチプレクサアレー(46)からの800個の画素データの全てを画素信号に変換する。そのために、D-A変換器アレー(48)は、ガンマ補正部(50)からの少なくとも一定個数(例えば5個)の変換ソース信号を共通的に受ける800個のD-A変換器から構成される。この800個のD-A変換器等のそれぞれは、該当マルチプレクサ(MP)からの画素データの論理値に対し、ガンマ補正部(50)からの一定個数の変換ソース信号の全てまたは一部を選択的に加算することによって、画素データをアナログ画素信号に変換する。結果的に、800個のD-A変換器等のそれぞれは、1水平走査期間に3個の画素データをアナログ画素信号に変換するようになる。

【0017】また、駆動回路(40)はD-A変換器アレー(48)と液晶表示パネル(30)のデータライン等(DL1乃至DL2400)の間に直列接続された出力増幅器アレー(52)とディマルチプレクサアレー(54)とを備える。出力増幅器アレー(52)は、D-A変換器アレー(48)からの800個の画素信号等を一定の増幅率で増幅し、その増幅された800個の画素信号等をディマルチプレクサアレー(54)側に出力する。そのために、出力増幅器アレー(52)もD-A変換器アレー(48)の800個のD-A変換器等に分散接続された800個の出力増幅器等から構成される。最後に、ディマルチプレクサアレー(54)は、出力増幅器アレー(52)からの800個の増幅された画素信号を、2400個のデータライン(DL1乃至DL2400)に、800個のデータラインづつ3回にかけて順次的に転送する。そのために、ディマルチプレクサアレー(54)は、それぞれ第1乃至第3制御ライン(SL1乃至SL3)からの第1乃至第3切換制御信号(SWS1乃至SWS3)を受ける800個のディマルチプレクサ等(DMP1乃至DMP800)から構成される。この800個のディマルチプレクサ(DMP1乃至DM

(4)

10

20

30

40

50

(5)

7

P800)のそれぞれは、図3のように1水平周期の間順次的に“1”の論理値を有するようになる前記の第1乃至第3切換制御信号(SWS1乃至SWS3)により、出力増幅器アレー(52)からの画素信号を3個のデータライン(DL)に順次的に転送する。そのため、800個のディマルチプレクサ等(DMP1乃至DMP800)のそれぞれは、第1乃至第3切換制御信号(SWS1乃至SWS3)をゲート側にそれぞれ受ける3個のMOSTランジスタ(MS)から構成される。1つのディマルチプレクサ(DMP)に含まれた3個のMOSTランジスタ(MS)のソース等は、出力増幅器アレー(52)に含まれた1つの出力増幅器の出力端子に共通的に接続され、このドレイン等は3個のデータライン(DL)に分散接続される。併せて、1つのディマルチプレクサ(DMP)に含まれた3個のMOSTランジスタ(MS)は、第1乃至第3切換制御信号(SWS1乃至SWS3)により1水平期間の間互いに順次的にターンオンされ、出力増幅器アレー(52)に含まれた該当出力増幅器からの画素信号等を3個のデータライン(DL)に分散供給する。

【0018】

【発明の効果】上述のごとく、本発明によるデジタル方式の液晶表示パネル駆動回路は、1ライン分の画素データを一時的に保管するラッチアレーと、画素データを画素信号に変換するD-A変換器アレーとの間にマルチプレクサアレーを、そして出力増幅器アレーと液晶表示パネルのデータライン等との間にディマルチプレクサを設置することによって、D-A変換器と出力増幅器の個数をデータライン数の半分、3分の1またはそれ以下に減少させることができる。それによって、本発明によるデ

8

素化を達成することは勿論、瞬間の電力消費量を減少させることもできる。併せて、本発明によるデジタル方式の液晶表示パネル駆動回路はマルチプレクサを液晶表示パネルに搭載させ、液晶表示パネルの引出ラインの数量を減少させることができる。

【0019】以上において説明した内容を通して、当業者であれば本発明の技術思想から逸脱しない範囲内で多様な変更及び修正が可能であることが分かる。従って、本発明の技術的範囲は、明細書の詳細な説明に記載された内容に限定されるものでなく、特許請求の範囲により定めなければならない。

【図面の簡単な説明】

【図1】従来のデジタル映像信号用の液晶表示パネル駆動回路が適用された液晶表示装置を図示する図面である。

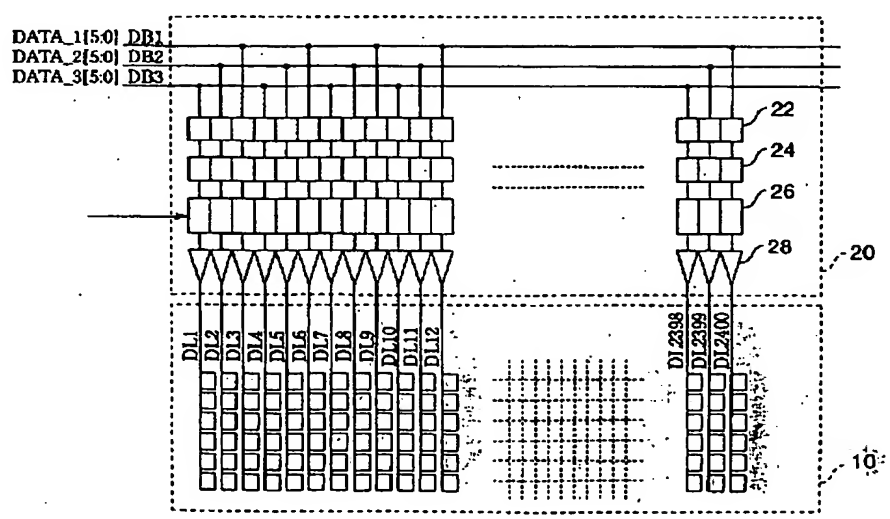
【図2】本発明の実施の形態によるデジタル方式の液晶表示パネル駆動回路が適用された液晶表示装置を図示する図面である。

【図3】図2に示された駆動回路の各部分の動作タイミング図である。

【符号の説明】

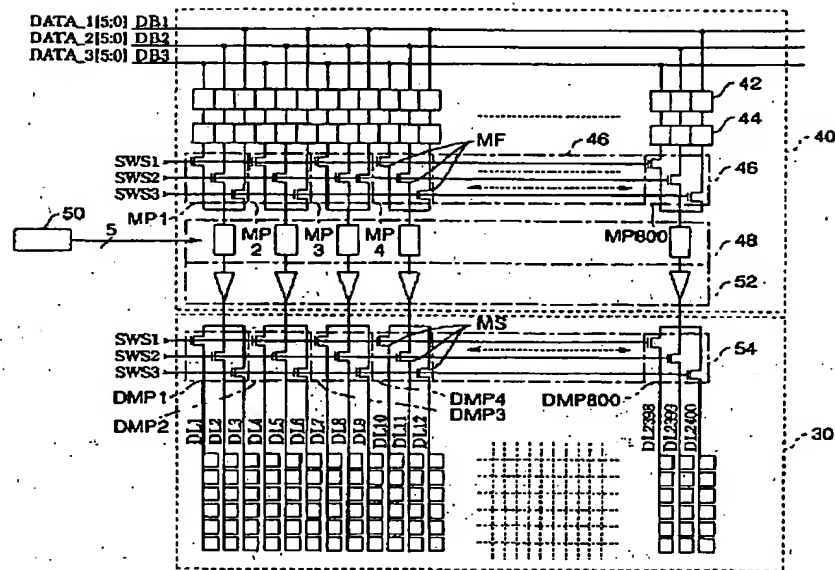
- 10, 30: 液晶表示パネル
- 20, 40: 液晶表示パネル駆動回路
- 22, 42: 第1ラッチアレー
- 24, 44: 第2ラッチアレー
- 26, 48: D-A変換器アレー
- 28, 52: 出力増幅器アレー
- 46: マルチプレクサアレー
- 50: ガンマ補正部
- 54: ディマルチプレクサアレー

【図1】



(6)

【図 2】



【図 3】

